

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-031295

(43)Date of publication of application : 28.01.2000

(51)Int.Cl.

H01L 21/8238

H01L 27/092

H01L 27/04

H01L 21/822

(21)Application number : 10-197636

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 13.07.1998

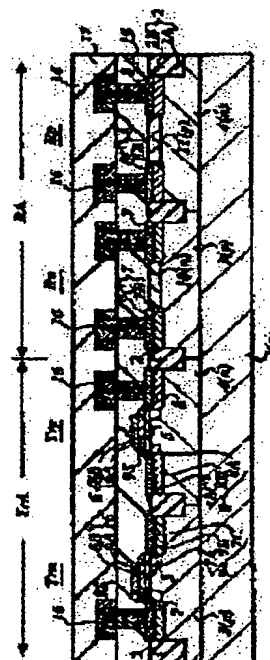
(72)Inventor : UEMURA TERUO

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT AND MANUFACTURE THEREOF

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor integrated circuit which can make fast operation of an MIS FET circuit of a salicide structure and can improve integration of resistance elements, and also to provide a method for manufacturing the semiconductor integrated circuit which can reduce the number of its manufacturing steps.

**SOLUTION:** In a semiconductor integrated circuit 30, an FET transistor Trn of a metal-insulator-semiconductor (MIS) structure includes an operational region 7 having a salicide layer 7C and a gate electrode 6 having a salicide layer 6B. An FET transistor Trp of a MIS structure also has a salicide structure similar to the above. A resistor element Rn forms a resistance part 10 not formed thereon with the salicide layer, and a resistor element Rp similarly forms a resistance part 11 not formed thereon with the salicide layer. A salicide prevention mask is formed on surfaces of the resistance parts 10 and 11 in a manufacturing process. In the MIS FET transistors Trn and Trp of a lightly doped drain(LDD) type, the salicide prevention mask is formed in the same step as for formation of a sidewall spacer 9S.



## LEGAL STATUS

[Date of request for examination]

14.06.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-31295

(P2000-31295A)

(43) 公開日 平成12年1月28日 (2000.1.28)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード\* (参考)

H 0 1 L 21/8238  
27/092  
27/04  
21/822H 0 1 L 27/08  
27/043 2 1 A 5 F 0 3 8  
C 5 F 0 4 8

審査請求 未請求 請求項の数 6 O L (全 23 頁)

(21) 出願番号 特願平10-197636

(22) 出願日 平成10年7月13日 (1998.7.13)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 植村 輝雄

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝多摩川工場内

(74) 代理人 100083806

弁理士 三好 秀和 (外 3 名)

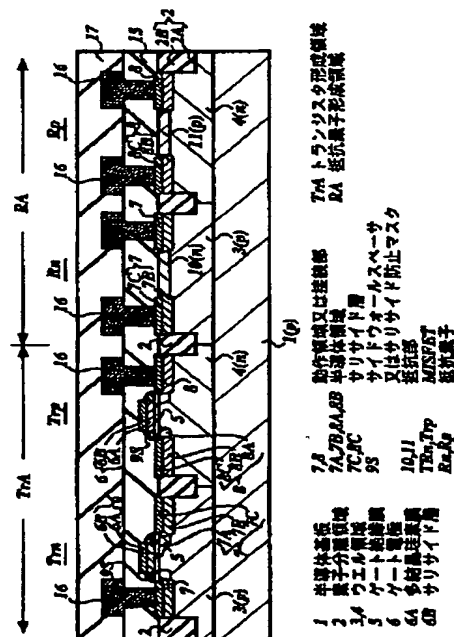
最終頁に続く

(54) 【発明の名称】 半導体集積回路及びその製造方法

## (57) 【要約】

【課題】 サリサイド構造を有するMISFETの回路動作速度を高速化し、抵抗素子の集積化を向上できる半導体集積回路を提供する。製造工程数が削減できる半導体集積回路の製造方法を提供する。

【解決手段】 半導体集積回路30において、MISFET Trnはサリサイド層7Cを有する動作領域7及びサリサイド層6Bを有するゲート電極6で構成される。MISFET Trpも同様にサリサイド構造で構成される。抵抗素子Rnは表面上にサリサイド層が形成されていない抵抗部10で構成され、抵抗素子Rpは同様にサリサイド層が形成されていない抵抗部11で構成される。抵抗部10表面上、抵抗部11表面上には製造プロセスにおいてサリサイド防止マスクが形成される。LDDを採用するMISFET Trn、Trpにおいては、サイドウォールスペーサ9Sを形成する工程と同一工程でサリサイド防止マスクが形成される。



## 【特許請求の範囲】

【請求項1】 半導体表面にサリサイド層を形成した動作領域及び電極を有するトランジスタと、抵抗部と、この抵抗部の一端側及び他端側にそれぞれ電氣的に接続された接続部とを備えた抵抗素子と、前記接続部のみに設けられた前記トランジスタの動作領域又は電極の半導体と同一のサリサイド構造と、を備えたことを特徴とする半導体集積回路。

【請求項2】 前記トランジスタは絶縁ゲート型電界効果トランジスタであり、

前記動作領域はソース領域又ドレイン領域であり、前記電極はゲート電極であることを特徴とする請求項1に記載の半導体集積回路。

【請求項3】 前記動作領域は単結晶珪素で形成された半導体領域であり、

前記電極は多結晶珪素膜であり、前記サリサイド層はチタンシリサイド層、コバルトシリサイド層、タングステンシリサイド層、モリブデンシリサイド層、タンタルシリサイド層のいずれかであり、前記抵抗素子は前記動作領域と同一構造の半導体領域又は電極と同一構造の多結晶珪素膜で形成されたことを特徴とする請求項2に記載の半導体集積回路。

【請求項4】 前記抵抗素子はアナログデジタルラダー抵抗部を構築し、前記トランジスタはアナログデジタルラダー抵抗部の周囲に配設された回路を構築したことを特徴とする請求項1乃至請求項3のいずれか1に記載の半導体集積回路。

【請求項5】 絶縁ゲート型電界効果トランジスタのソース領域又はドレイン領域として使用される動作領域及びゲート電極を形成するとともに、前記動作領域又はゲート電極と同一製造工程で抵抗素子の抵抗部を形成する工程と、

前記動作領域とゲート電極との間にサリサイド層の形成を防止する第1サリサイド防止マスクを形成するとともに、前記第1サリサイド防止マスクと同一製造工程で前記抵抗素子の抵抗部上に第2サリサイド防止マスクを形成する工程と、

前記動作領域上及びゲート電極上にサリサイド層を形成するとともに、前記抵抗素子の抵抗部には前記第2サリサイド防止マスクでサリサイド層の形成を防止する工程とを備えたことを特徴とする半導体集積回路の製造方法。

【請求項6】 前記第1サリサイド防止マスクを形成する工程は、前記動作領域のチャネル形成領域側に低不純物濃度領域を形成するサイドウォールスペースを形成する工程であることを特徴とする請求項5に記載の半導体集積回路の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体集積回路及びその製造方法に関する。特に本発明は、サリサイド技術が適用されたトランジスタ及び抵抗素子が同一基板に混在する半導体集積回路及びその製造方法に関する。さらに詳細には、本発明は、アナログデジタルラダー抵抗部と少なくともその周囲にトランジスタで構築された回路とを搭載した半導体集積回路及びその製造方法に関する。

## 【0002】

【従来の技術】 MOSFET (Metal Oxide Semiconductor Field Effect Transistor) で構築される回路の動作速度の高速化にはサリサイド技術が有効である。サリサイド技術は、MOSFETのソース領域及びドレイン領域として使用される動作領域上とゲート電極上との双方にサリサイド層を同時に形成できる。サリサイド層は動作領域又はゲート電極の珪素と高融点金属との化合物である高融点金属シリサイドで形成され、この高融点金属シリサイドの比抵抗値は珪素の比抵抗値に比べて1桁程度低い。すなわち、MOSFETにおいて動作領域やゲート電極に流れる信号伝達速度が高速化できる。

【0003】 最近開発されるマイクロコンピュータの大半は、実装面積を縮小するために、アナログ信号をデジタル信号に変換するアナログデジタルコンバータ回路を搭載する。アナログデジタルコンバータ回路には複数の抵抗素子を電氣的に直列に接続したアナログデジタルラダー抵抗部を備える。これらの抵抗素子は、通常、マイクロコンピュータに搭載された回路を構築するMOSFETの製造方法を利用して形成される。

【0004】 すなわち、マイクロコンピュータの製造プロセスにおいて、抵抗素子の抵抗部はMOSFETの動作領域（半導体領域又は拡散層領域）と同一製造工程で形成される。また、抵抗素子の抵抗部はMOSFETのゲート電極と同一製造工程で形成される。このように構成されるマイクロコンピュータにおいては、実質的に製造工程を増加することなく抵抗素子が形成でき、アナログデジタルコンバータ回路が1つの半導体基板に混在できる特徴がある。

## 【0005】

【発明が解決しようとする課題】 前述のマイクロコンピュータにおいては、以下の点について配慮がなされていない。

【0006】 (1) マイクロコンピュータの製造プロセスにおいて、アナログデジタルラダー抵抗部の抵抗素子がMOSFETの動作領域又はゲート電極を利用して形成される。抵抗素子の抵抗部の構造はMOSFETの動作領域又はゲート電極の構造と同一になる。すなわち、MOSFETにサリサイド技術が適用されると、抵抗素子の抵抗部は動作領域上又はゲート電極上にサリサイド層を備えた構造で形成される。このため、抵抗素子の抵抗値が低くなり、高抵抗値を得るには抵抗素子を半導体基板上に引き回す必

要が生じ、抵抗素子の占有面積が増大するので、マイクロコンピュータの集積化が実現できない。

【0007】(2) 抵抗素子の抵抗長が長くなると、寄生容量が増加し信号伝達速度が遅くなり、またノイズが乗りやすくなり、また消費電力が増大し、また抵抗値にばらつきが生じやすい。このため、抵抗素子の電気的特性が劣化し、アナログデジタルコンバータ回路の性能が劣化する。

【0008】(3) 最適な電気的特性を得るために、MOSFETの製造工程とは別途独立に抵抗素子を形成する場合には、製造工程数が増大する。マイクロコンピュータにおいて、製造工程数の増大は製造上の歩留まりを低下させる。また、製造工程数の増大は製造コストを増大する。

【0009】本発明は上記課題を解決するためになされたものである。従って、本発明の目的は、トランジスタの回路動作の高速化を実現しつつ、抵抗素子の占有面積を減少して集積化を実現できる半導体集積回路を提供することである。

【0010】さらに、本発明の目的は、上記目的を達成しつつ、抵抗素子の抵抗長の増加に起因する信号速度の低下、消費電力の増大、抵抗値のばらつき等を防止できる半導体集積回路を提供することである。

【0011】さらに、本発明の目的は、特にサリサイド技術が適用されるトランジスタと抵抗素子とが同一半導体基板に混在する半導体集積回路において上記目的を達成することである。さらに詳細には、本発明の目的は、アナログデジタルラダー抵抗部を構築する抵抗素子とアナログデジタルラダー抵抗部の周囲に配設された回路を構築する絶縁ゲート型電界効果トランジスタとが同一半導体基板に混在する半導体集積回路において上記目的を達成することである。

【0012】さらに、本発明の目的は、上記目的を達成するための製造工程数を削減できる半導体集積回路の製造方法を提供することである。本発明の目的は、特に絶縁ゲート型電界効果トランジスタにLDD (Lightly Doped Drain) 構造が採用される場合に効率よく製造工程数が削減できる半導体集積回路の製造方法を提供することである。

【0013】

【課題を解決するための手段】上記課題を解決するために、この発明の第1の特徴は、半導体集積回路において、半導体表面にサリサイド層を形成した動作領域及び電極を有するトランジスタと、抵抗部と、この抵抗部の一端側及び他端側にそれぞれ電気的に接続された接続部とを備えた抵抗素子と、上記接続部のみに設けられたトランジスタの動作領域又は電極の半導体と同一のサリサイド構造とを備えたことである。

【0014】トランジスタは絶縁ゲート型電界効果トランジスタであることが好ましい。この場合、トランジ

スタの動作領域はソース領域又ドレイン領域、電極はゲート電極になる。動作領域は単結晶珪素基板の表面部分に形成された半導体領域であり、電極は多結晶珪素膜である。サリサイド層にはチタンシリサイド層、コバルトシリサイド層、タングステンシリサイド層、モリブデンシリサイド層、タンタルシリサイド層のいずれかが実用的に使用できる。抵抗素子の少なくとも抵抗部は絶縁ゲート型電界効果トランジスタの動作領域（ソース領域又はドレイン領域）と同一構造の半導体領域又は電極（ゲート電極）と同一構造の多結晶珪素膜で形成される。同一構造とは、製造プロセス的に表現すれば、同一製造工程で形成されることである。

【0015】抵抗素子は抵抗部とこの抵抗部の一端側及び他端側にそれぞれ電気的に接続された接続部とを備え、抵抗素子の接続部上にはサリサイド層が形成され、抵抗部上にはサリサイド層が形成されていない、ことが好ましい。抵抗素子の接続部には配線が電気的に接続され、この抵抗素子の接続部における抵抗値がサリサイド層により減少でき、信号伝達速度が高速化できる。

【0016】抵抗素子はアナログデジタルラダー抵抗部を構築することが好ましい。アナログデジタルラダー抵抗部は複数の抵抗素子が電気的に直列に接続されており、半導体集積回路におけるアナログデジタルラダー抵抗部の占有率が大きい。トランジスタはアナログデジタルラダー抵抗部の周囲に配設された回路、少なくともアナログ信号をデジタル信号に変換するための回路を構築する。

【0017】このように構成される半導体集積回路においては、半導体とこの半導体に比べてシート抵抗値が小さなサリサイド層とでトランジスタの動作領域及び電極が形成できるので、トランジスタにおいて回路動作信号の伝達速度が向上でき、半導体集積回路の回路動作速度の高速化が実現できる。さらに、サリサイド層が形成されない半導体で抵抗素子が構築でき、抵抗素子の抵抗値を高く設定しても抵抗素子の占有面積が減少できるので、半導体集積回路の集積化が実現できる。

【0018】この発明の第2の特徴は、絶縁ゲート型電界効果トランジスタのソース領域又はドレイン領域として使用される動作領域及びゲート電極を形成するとともに、動作領域又はゲート電極と同一製造工程で抵抗素子の抵抗部を形成する工程と、動作領域とゲート電極との間にサリサイド層の形成を防止する第1サリサイド防止マスクを形成するとともに、第1サリサイド防止マスクと同一製造工程で抵抗素子の抵抗部上に第2サリサイド防止マスクを形成する工程と、動作領域上及びゲート電極上にサリサイド層を形成するとともに、抵抗素子の抵抗部には第2サリサイド防止マスクでサリサイド層の形成を防止する工程とを備えた半導体集積回路の製造方法であることである。

【0019】このような半導体集積回路の製造方法にお

いては、絶縁ゲート型電界効果トランジスタの動作領域又はゲート電極を形成する工程を利用して抵抗素子の抵抗部が形成できるので、製造工程数が削減できる。さらに、絶縁ゲート型電界効果トランジスタの動作領域とゲート電極との間のサリサイド層の形成を防止する（双方の間の短絡を防止する）第1サリサイド防止マスクを形成する工程を利用して抵抗素子の抵抗部上に第2サリサイド防止マスクが形成できる。この第2サリサイド防止マスクにより抵抗素子の抵抗部上にはサリサイド層が形成されない。従って、第2サリサイド防止マスクを別途独立に形成する工程が省略できるので、半導体集積回路の製造工程数が削減できる。

【0020】さらに、半導体集積回路の製造方法においては、第1サリサイド防止マスクを形成する工程が絶縁ゲート型電界効果トランジスタの動作領域のチャネル形成領域側に低不純物濃度領域を形成するサイドウォールスペースを形成する工程である、ことが好ましい。すなわち、絶縁ゲート型電界効果トランジスタにはLDD構造が採用され、LDD構造を形成するサイドウォールスペースを形成する工程が基本的に半導体集積回路の製造プロセスに組み込まれているので、サイドウォールスペースを形成する工程を利用して第1及び第2サリサイド防止マスクが形成できる。従って、サイドウォールスペースを形成する製造マスクに第1サリサイド防止マスク（これは実質的にサイドウォールスペースとなる）及び第2サリサイド防止マスクのパターンを追加するだけで、別途独立にマスクを形成する必要がなくなるので、半導体集積回路の製造工程数が大幅に削減できる。

#### 【0021】

【発明の実施の形態】（第1の実施の形態）

<半導体集積回路の回路構成>以下、本発明の第1の実施の形態について図面を参照し説明する。図2は本発明の第1の実施の形態に係る半導体集積回路のブロック回路図である。図2に示すように、本実施の形態に係る半導体集積回路30はマイクロコンピュータ（CPU）であり、この半導体集積回路30はアナログデジタルコンバータ回路31、中央演算処理ユニット回路（ALU）32、ランダムアクセスメモリ回路（RAM）33、リードオンリーメモリ回路（ROM）34、レジスタ回路35を同一基板上に備える。

【0022】アナログデジタルコンバータ回路31は、アナログデジタルラダー抵抗部310、デコーダ回路311、アナログ信号入力回路312、比較回路313を備え構築される。

【0023】アナログデジタルラダー抵抗部310は、回路動作電源Vccと回路基準電源Vssとの間に配設され、電氣的に直列に接続された複数の抵抗素子Rで構成される。複数の抵抗素子Rの各々の抵抗値は本実施の形態において数十Ω/□～数百Ω/□に設定され、抵抗素子Rは比較回路313に供給する比較基準電位を回路動作電

源Vccから生成する。デコーダ回路311は複数の抵抗素子Rの配列に対応して配列された複数のスイッチングMISFET rで形成される。スイッチングMISFET rは、直列接続された抵抗素子R間に電氣的に接続され、比較基準電位の取り出しを行う。デコーダ回路311はアナログデジタルラダー抵抗部310で生成された比較基準電位を比較回路313に出力する。

【0024】アナログ信号入力回路312には半導体集積回路30の外部からアナログ信号が入力される。このアナログ信号入力回路312に入力されたアナログ信号は比較回路313に出力される。

【0025】比較回路313は、アナログ信号入力回路312から出力されたアナログ信号とアナログデジタルラダー抵抗部310からデコーダ回路311を通して出力された比較基準電位とにより、アナログ信号をデジタル信号に変換する。比較回路313で変換されたデジタル信号はレジスタ回路35に出力される。デジタル信号は、中央演算処理ユニット回路32により演算処理が行われ、またランダムアクセスメモリ回路33やリードオンリーメモリ回路34に記憶される。

【0026】<半導体集積回路の断面構成>次に、前述の半導体集積回路30の断面構造について説明する。図1は半導体集積回路30の要部縦断面構造図である。本実施の形態に係る半導体集積回路30は単結晶珪素からなる低不純物濃度に設定されたp型半導体基板1を主体に構成される。図1中、右側は、アナログデジタルラダー抵抗部310等を構築する抵抗素子Rが配置される抵抗素子形成領域RAを示す。図中、左側は、アナログデジタルコンバータ回路31のデコーダ回路311、アナログ信号入力回路312、比較回路313、又は中央演算処理ユニット回路32、ランダムアクセスメモリ回路33、リードオンリーメモリ回路34のそれぞれを構築するMISFET rが配置されるトランジスタ形成領域TRAを示す。本実施の形態において、トランジスタ形成領域TRAには相補型MISFETが配設される。

【0027】図1中、左側に示すように、トランジスタ形成領域TRAにおいて半導体基板1の素子分離領域2で周囲を囲まれた領域内にはnチャネルMISFET rn及びpチャネルMISFET rpが配設される。素子分離領域2は本実施の形態においてSTI（Shallow Trench Isolation）構造で形成される。すなわち、STI構造を採用する素子分離領域2は、半導体基板1表面から深さ方向に向かって形成されたトレンチ（溝）2Aと、トレンチ2A内部に埋設され表面が平坦化された埋設絶縁体2Bとで形成される。トレンチ2Aは占有面積が減少できるRIE等の異方性エッチングで形成される。埋設絶縁体2Bは、例えばCVD法でトレンチ2A内部が完全に埋め込まれる程度の膜厚を有する酸化珪素膜を半導体基板1上に堆積し、基板全面研磨で余分な酸化珪素膜を除去することにより形成される。

【0028】nチャネルMISFET  $r_n$  は、半導体基板1の主面部に形成され低不純物濃度に設定されたp型ウエル領域3に配設され、チャネル形成領域、ソース領域及びドレイン領域として使用される一対の動作領域7、ゲート絶縁膜5、ゲート電極6を備え構築される。チャネル形成領域はp型ウエル領域3で形成される。

【0029】本実施の形態に係るnチャネルMISFET  $r_n$  には、LDD構造が採用され、かつサリサイド構造が採用される。従って、動作領域7はチャネル形成領域側に配設され低不純物濃度に設定されたn型半導体領域(LDD部)7A、高不純物濃度に設定されたn型半導体領域7B及びこのn型半導体領域7B表面上に形成されたサリサイド層7Cを備えて構成される。サリサイド層7Cは、本実施の形態において、高融点金属に属するチタン(Ti)と珪素(Si)との化合物であるチタンシリサイド( $TiSi_2$ )層で形成される。なお、サリサイド層7Cにおいては、これに限定されず、コバルトシリサイド( $CoSi_2$ )層、タングステンシリサイド( $WSi_2$ )層、モリブデンシリサイド( $MoSi_2$ )層、タンタルシリサイド( $TaSi_2$ )層のいずれかが実用的に使用できる。

【0030】ゲート絶縁膜5は、p型ウエル領域3表面上に形成され、例えば酸化珪素膜で形成される。なお、ゲート絶縁膜5においては、酸化珪素膜と窒化珪素膜とを重ね合わせた複合膜、オキシナイトライド膜のいずれかが実用的に使用できる。

【0031】ゲート電極6は、ゲート絶縁膜5表面上に形成され、本実施の形態において多結晶珪素膜6A及びこの多結晶珪素膜6A上に配設されたサリサイド層6Bで形成される。ゲート電極6はいわゆるポリサイド構造になる。多結晶珪素膜6Aには抵抗値を調節する(低減する)不純物が高不純物濃度にドーパされる。サリサイド層6Bは、半導体領域7を構築するサリサイド層7Cと同一の高融点金属シリサイドで形成され、かつ後述するがサリサイド層7Cと同一の製造工程により形成される。

【0032】ゲート電極6側壁、詳細にはゲート電極6の多結晶珪素膜6Aの側壁にはサイドウォールスペーサ9Sが形成される。このサイドウォールスペーサ9Sは、動作領域7のLDD部として使用される半導体領域7Aを形成する目的として配設される。さらに、サイドウォールスペーサ9Sは、動作領域7のサリサイド層7Cとゲート電極6のサリサイド層6Bとの間の電気的な短絡を防止するためのサリサイド防止マスクとしても使用される。

【0033】このように形成されるnチャネルMISFET  $r_n$  の動作領域7には配線16が電気的に接続される。図示しないが、ゲート電極6も同様に配線16が接続される。配線16は、層間絶縁膜15上に形成され、この層間絶縁膜15に形成された接続孔(符号は付けない。)を通して動作領域7やゲート電極6に接続され

る。配線16は本実施の形態においてアルミニウム合金膜を主体に構成される。層間絶縁膜15は例えばBPSG膜で形成される。配線16上には保護膜17が形成される。

【0034】pチャネルMISFET  $r_p$  は、半導体基板1の主面部に形成され低不純物濃度に設定されたn型ウエル領域4に配設され、チャネル形成領域、ソース領域及びドレイン領域として使用される一対の動作領域8、ゲート絶縁膜5、ゲート電極6を備え構築される。チャネル形成領域はn型ウエル領域4で形成される。

【0035】本実施の形態に係るpチャネルMISFET  $r_p$  には、同様にLDD構造が採用され、かつサリサイド構造が採用される。従って、動作領域8はチャネル形成領域側に配設され低不純物濃度に設定されたp型半導体領域(LDD部)8A、高不純物濃度に設定されたp型半導体領域8B及びこのp型半導体領域8B表面上に形成されたサリサイド層8Cを備えて構成される。サリサイド層8Cは、nチャネルMISFET  $r_n$  の動作領域7のサリサイド層7Cと同一の高融点金属シリサイド層で形成され、かつサリサイド層7Cと同一の製造工程で形成される。

【0036】ゲート絶縁膜5は、n型ウエル領域4表面上に形成され、例えばnチャネルMISFET  $r_n$  のゲート絶縁膜5と同一の酸化珪素膜で形成され、かつ同一の製造工程で形成される。

【0037】ゲート電極6は、ゲート絶縁膜5表面上に形成され、例えばnチャネルMISFET  $r_n$  のゲート電極6と同一の多結晶珪素膜6A及びサリサイド層6Bで形成され、かつ同一の製造工程で形成される。

【0038】ゲート電極6側壁にはnチャネルMISFET  $r_n$  と同様にサイドウォールスペーサ9Sが形成される。このサイドウォールスペーサ9Sは、動作領域8のLDD部として使用される半導体領域8Aを形成する目的として配設される。さらに、サイドウォールスペーサ9Sは、動作領域8のサリサイド層8Cとゲート電極6のサリサイド層6Bとの間の電気的な短絡を防止するためのサリサイド防止マスクとしても使用される。

【0039】このように形成されるpチャネルMISFET  $r_p$  の動作領域8には配線16が電気的に接続され、図示しないがゲート電極6も同様に配線16が接続される。

【0040】図1中、右側に示すように、抵抗素子形成領域RAにおいて半導体基板1の素子分離領域2で周囲を囲まれた領域内には2種類の抵抗素子Rn及びRpが配設される。素子分離領域2は前述のトランジスタ形成領域TrAに形成された素子分離領域2と同一の構造で構成される。

【0041】抵抗素子Rnは、p型ウエル領域3に形成され、抵抗部10と、この抵抗部10の一端側、他端側にそれぞれ電気的に接続された一対の接続部7とを備え



構築される。この抵抗素子 $R_n$ の抵抗部10は、高抵抗値に設定するために、低不純物濃度に設定されたn型半導体領域で形成される。本実施の形態において、抵抗素子 $R_n$ の抵抗値を最適に設定するために、抵抗部10はnチャネルMISFET $T_{rn}$ の動作領域7とは別に独立に形成される。接続部7は高不純物濃度に設定されたn型半導体領域7Bとこのn型半導体領域7B表面上に形成されたサリサイド層7Cとで形成される。本実施の形態において、接続部7の半導体領域7BはnチャネルMISFET $T_{rn}$ の半導体領域7Bと同一の構造で、接続部7のサリサイド層7CはnチャネルMISFET $T_{rn}$ のサリサイド層7Cと同一の構造でそれぞれ形成される。抵抗素子 $R_n$ においては、高抵抗値を得るために、基本的には抵抗部10表面上にはサリサイド層が形成されない。抵抗素子 $R_n$ の接続部7には配線16が電気的に接続され、接続部7には配線16との間の接続抵抗値を減少するためにサリサイド層7Cが形成される。

【0042】同様に、抵抗素子 $R_p$ は、n型ウエル領域4に形成され、抵抗部11と、この抵抗部11の一端側、他端側にそれぞれ電気的に接続された一対の接続部8とを備え構築される。この抵抗素子 $R_p$ の抵抗部11は、高抵抗値に設定するために、低不純物濃度に設定されたp型半導体領域で形成される。本実施の形態において、抵抗素子 $R_p$ の抵抗値を最適に設定するために、抵抗部11はpチャネルMISFET $T_{rp}$ の動作領域8とは別に独立に形成される。接続部8は高不純物濃度に設定されたp型半導体領域8Bとこのp型半導体領域8B表面上に形成されたサリサイド層8Cとで形成される。本実施の形態において、接続部8の半導体領域8BはpチャネルMISFET $T_{rp}$ の半導体領域8Bと同一の構造で、接続部8のサリサイド層8CはpチャネルMISFET $T_{rp}$ のサリサイド層8Cと同一の構造でそれぞれ形成される。抵抗素子 $R_p$ においては、高抵抗値を得るために、基本的には抵抗部11表面上にはサリサイド層が形成されない。抵抗素子 $R_p$ の接続部8には配線16が電気的に接続される。

【0043】<半導体集積回路の製造方法>次に、半導体集積回路30の製造方法について説明する。図3

(A)乃至図10(P)は製造方法を各製造工程毎に説明するための半導体集積回路30の工程縦断面構造図である。

【0044】(1)まず、単結晶珪素からなり低不純物濃度に設定されたp型半導体基板1を準備する(図3

(A)参照)。その後、図示しないが、半導体基板1表面上に素子分離領域2を形成する各種処理を行うためにバッファ膜を形成する。このバッファ膜には例えば酸化珪素膜が使用され、この酸化珪素膜は例えば熱酸化法で形成する。

【0045】(2)図3(A)に示すように、半導体基板1表面部にSTI構造を採用する素子分離領域2を形成

する。素子分離領域2は、その領域が開口されたマスクをバッファ膜表面上に形成し、マスクを用いて半導体基板1表面部にトレンチ2Aを形成し、マスクを除去した後、トレンチ2A内部に埋設絶縁体2Bを埋め込むことで形成される。マスクは例えばフォトリソグラフィ技術で形成し、トレンチ2AはRIE等の異方性エッチングにより形成する。埋設絶縁体2Bは、CVD法で酸化珪素膜を堆積し、この酸化珪素膜を基板全面研磨、例えばCMP (Chemical Machine Polish) 法で後退させることにより、トレンチ2A内部にのみ形成される。素子分離領域2を形成した後、半導体基板1表面上に形成したバッファ膜は除去される。

【0046】(3)図3(B)に示すように、半導体基板1表面上の全面に新たにバッファ膜20を形成する。バッファ膜20は不純物ドーブで生じる半導体基板1表面部のダメージを防止する。バッファ膜20は例えば熱酸化法で形成した酸化珪素膜を使用し、この酸化珪素膜は数十nmの膜厚で形成される。

【0047】(4)図4(C)に示すように、トランジスタ形成領域 $T_{ra}$ 、抵抗素子形成領域 $R_A$ のそれぞれにおいて、半導体基板1表面部にp型ウエル領域3を形成する。p型ウエル領域3は、この領域が開口されたマスクを使用し、イオン打込み法によりp型不純物をバッファ膜20を通して半導体基板1表面部に注入することで形成される。図示しないが、p型ウエル領域3を形成するp型不純物の注入に前後してnチャネルMISFET $T_{rn}$ の閾値電圧を調節する不純物が注入される。マスクには例えばフォトリソグラフィ技術で形成されたレジストマスクが使用される。

【0048】(5)図4(D)に示すように、トランジスタ形成領域 $T_{ra}$ 、抵抗素子形成領域 $R_A$ のそれぞれにおいて、半導体基板1表面部にn型ウエル領域4を形成する。n型ウエル領域4は、この領域が開口されたマスクを使用し、イオン打込み法によりn型不純物をバッファ膜20を通して半導体基板1表面部に注入することで形成される。図示しないが、n型ウエル領域4を形成するn型不純物の注入に前後してpチャネルMISFET $T_{rp}$ の閾値電圧を調節する不純物が注入される。マスクには例えばフォトリソグラフィ技術で形成されたレジストマスクが使用される。この後、バッファ膜20は除去される。この除去には $NH_4F$ が使用される。

【0049】(6)図5(E)に示すように、半導体基板1表面上であってn型ウエル領域3、p型ウエル領域4のそれぞれの表面上にゲート絶縁膜5を形成する。ゲート絶縁膜5には例えば熱酸化法で形成した酸化珪素膜が使用され、この酸化珪素膜は4~10nmの膜厚で形成される。

【0050】(7)図5(F)に示すように、ゲート絶縁膜5表面上の全面に多結晶珪素膜6Aを形成する。多結晶珪素膜6Aは、例えばCVD法で堆積し、250~350nm

mの膜厚で形成する。

【0051】(8)図6(G)に示すように、多結晶珪素膜6Aにパターンニングを行い、トランジスタ形成領域TrAにおいてゲート電極6を構築する多結晶珪素膜6Aを形成する。パターンニングは、フォトリソグラフィ技術で形成されたマスクを使用し、RIE等の異方性エッチングにより行われる。

【0052】この後、既に注入された不純物を活性化するために、熱処理(アニール)を行う。熱処理は800~900℃の高温で行われる。

【0053】(9)図6(H)に示すように、LDD構造を採用するMISFETを構築するために、トランジスタ形成領域TrAにおいてp型ウエル領域3表面部分に低不純物濃度のn型半導体領域7Aを形成し、n型ウエル領域4表面部分に低不純物濃度のp型半導体領域8Aを形成する。n型半導体領域7Aは、例えばイオン打込み法により $10^{14}$ atoms/cm<sup>2</sup>程度の不純物濃度で砒素(As)を注入することにより形成される。同様に、p型半導体領域8Aは、例えばイオン打込み法により $10^{14}$ atoms/cm<sup>2</sup>程度の不純物濃度で硼素(B)を注入することにより形成される。

【0054】(10)図7(I)に示すように、抵抗素子Rn、Rpのそれぞれを構築するために、抵抗素子形成領域RAにおいてp型ウエル領域3表面部分に抵抗部10を形成し、n型ウエル領域4表面部分に抵抗部11を形成する。抵抗部10は低不純物濃度に設定されたn型半導体領域で形成され、このn型半導体領域はイオン打込み法により $10^{14}$ ~ $10^{15}$ atoms/cm<sup>2</sup>程度の不純物濃度で砒素を注入することにより形成される。抵抗部11は低不純物濃度に設定されたp型半導体領域で形成され、このp型半導体領域はイオン打込み法により $10^{14}$ ~ $10^{15}$ atoms/cm<sup>2</sup>程度の不純物濃度で硼素を注入することにより形成される。

【0055】(11)図7(J)に示すように、半導体基板1全面に酸化珪素膜(符号は付けない)、窒化珪素膜9のそれぞれを順次形成する。酸化珪素膜は、その上層に形成された窒化珪素膜9のパターンニングの際にエッチングストップ層として使用され、例えばCVD法で堆積される。窒化珪素膜9は、LDD構造を採用するMISFETのサイドウォールスペーサ及びサリサイド層を形成しないためのサリサイド防止マスクを形成し、例えばスパッタ法で堆積する。

【0056】(12)抵抗素子形成領域RAの抵抗素子Rnの抵抗部10上、抵抗素子Rpの抵抗部11上のそれぞれにおいて窒化珪素膜9上にエッチングマスク9Pを形成する(図8(K)参照)。エッチングマスク9Pは平坦部分におけるサリサイド防止マスクのパターンニングに必要である。エッチングマスク9Pは例えばフォトリソグラフィ技術で形成したレジスト膜を使用する。

【0057】(13)図8(K)に示すように、エッチ

ングマスク9Pを使用しつつ、半導体基板1全面にRIE等の異方性エッチングを行い、窒化珪素膜9をパターンニングし、トランジスタ形成領域TrAにおいてサイドウォールスペーサ9Sを形成するとともに抵抗素子形成領域RAにおいてサリサイド防止マスク9Sを形成する。サイドウォールスペーサ9Sはゲート電極6を構築する多結晶珪素膜6Aの側壁にこの多結晶珪素膜6Aに対して自己整合で形成される。さらに、サイドウォールスペーサ9Sは、ソース領域とゲート電極との間並びにドレイン領域とゲート電極との間にサリサイド層が形成されることを防止するサリサイド防止マスク(9M)として兼用される。

【0058】(14)図8(L)に示すように、トランジスタ形成領域TrAのnチャネルMISFETTrn形成領域においてウエル領域3表面部分に高不純物濃度のn型半導体領域7Bを形成し、引き続きpチャネルMISFETTrp形成領域においてウエル領域4表面部分に高不純物濃度のp型半導体領域8Bを形成する。さらに、前述の半導体領域7Bを形成する工程と同一製造工程で、抵抗素子形成領域RAの抵抗素子Rn形成領域において高不純物濃度のn型半導体領域7Bを形成し、半導体領域8Bを形成する工程と同一製造工程で、抵抗素子Rp形成領域において高不純物濃度のp型半導体領域8Bを形成する。半導体領域7Bは抵抗素子Rnの接続部7を構築する。半導体領域8Bは抵抗素子Rpの接続部8を構築する。

【0059】トランジスタ形成領域TrAにおいて半導体領域7B、8Bのそれぞれはサイドウォールスペーサ(サリサイド防止マスク)9Sを不純物注入マスクとして使用し形成される。半導体領域7BはnチャネルMISFETTrnのソース領域又はドレイン領域を構築する。半導体領域8BはpチャネルMISFETTrpのソース領域又はドレイン領域を構築する。抵抗素子形成領域RAにおいて半導体領域7B、8Bはいずれもサリサイド防止マスク9Mを不純物注入マスクとして使用し形成される。半導体領域7Bは抵抗素子Rnの接続部、半導体領域8Bは抵抗素子Rpの接続部のそれぞれを構築する。

【0060】半導体領域7Bは、イオン打込み法により $1 \times 10^{15}$ ~ $5 \times 10^{15}$ atoms/cm<sup>2</sup>程度の不純物濃度で砒素を注入することにより形成される。半導体領域8Bは、イオン打込み法により $1 \times 10^{15}$ ~ $5 \times 10^{15}$ atoms/cm<sup>2</sup>程度の不純物濃度でフッ化硼素(BF<sub>3</sub>)を注入することにより形成される。注入された砒素、フッ化硼素はそれぞれ熱処理により活性化される。この熱処理は900~1000℃程度の高温で行われる。

【0061】半導体領域7Bを形成する工程が終了した時点で、サリサイド化前におけるnチャネルMISFETTrn、抵抗素子Rnのそれぞれが完成する。同様に、半導体領域8Bを形成する工程が終了した時点で、サリサイド化前におけるpチャネルMISFETTrp、抵抗素子Rp

のそれぞれが完成する。

【0062】(15) 次に、サリサイド化処理を行う。まず、図9(M)に示すように、MISFETのソース領域、ドレイン領域、ゲート電極に相当する半導体領域7B、8B、多結晶珪素膜6Aのそれぞれの表面上のゲート絶縁膜5を除去し、各サリサイド化を行う表面を露出させる。ゲート絶縁膜5は例えば $\text{NH}_4\text{F}$ により除去する。

【0063】(16) 図9(N)に示すように、トランジスタ形成領域TrAにおいて、nチャネルMISFETTrnの半導体領域7B表面上にサリサイド層7C、多結晶珪素膜6A表面上にサリサイド層6B、pチャネルMISFETTrpの半導体領域8B表面上にサリサイド層8C、多結晶珪素膜6A表面上にサリサイド層6Bのそれぞれを形成する。サリサイド層7C、8Cのそれぞれとサリサイド層6Bとの間はサイドウォールスペーサ9Sがサリサイド防止マスクとして機能するので短絡しない。さらに、抵抗素子形成領域RAにおいて、抵抗素子Rnの接続部7の半導体領域7B表面上にサリサイド層7C、抵抗素子Rpの接続部8の半導体領域8B表面上に半導体領域8Cのそれぞれを形成する。抵抗素子Rnの抵抗部10、抵抗素子Rpの抵抗部11においては、それぞれの表面上にサリサイド防止マスク9Mが形成されているので、サリサイド層は形成されない。前述のサリサイド層7C、6B、8Cはいずれも同一製造工程で形成される。

【0064】すなわち、まず、ゲート絶縁膜5が取り除かれた半導体領域7B、8B、多結晶珪素膜6Aのそれぞれの表面部分に例えば砒素をイオン打込み法で注入し、砒素が注入された各表面部分を非晶質化する。次に、チタン(Ti)膜、窒化チタン(TiN)膜のそれぞれを順次積層し、サリサイド化熱処理を行う。このサリサイド化熱処理により、半導体領域7Bの珪素とチタンとの反応でチタンシリサイド( $\text{TiSi}_2$ )からなるサリサイド層7Cが形成される。同様に、半導体領域8Bの珪素とチタンとの反応でチタンシリサイドからなるサリサイド層8Cが形成される。さらに、多結晶珪素膜6Aの珪素とチタンとの反応でチタンシリサイドからなるサリサイド層6Bが形成される。

【0065】チタン膜は、チタンシリサイド膜を形成するために、例えばスパッタ法により20~50nmの膜厚で形成する。窒化チタン膜は、半導体領域7B、8B、多結晶珪素膜6Aのそれぞれに注入された不純物のアウトディフュージョンを防止するために、例えばスパッタ法により数十nmの膜厚で形成する。サリサイド化熱処理は約700℃程度の温度で行われる。

【0066】サリサイド層7C及び6Bの形成により、半導体領域7A、7B及びサリサイド層7Cからなる動作領域7と、多結晶珪素膜6A及びサリサイド層6Bからなるゲート電極6とを有するnチャネルMISFETTrnが完成する。同様に、サリサイド層8C及び6Bの形成

により、半導体領域8A、8B及びサリサイド層8Cからなる動作領域8と、多結晶珪素膜6A及びサリサイド層6Bからなるゲート電極6とを有するpチャネルMISFETTrpが完成する。さらに、サリサイド層7Cの形成により、半導体領域7B及びサリサイド層7Cからなる接続部7と、表面にサリサイド層が形成されていない抵抗部10とを有する抵抗素子Rnが完成する。同様に、サリサイド層8Cの形成により、半導体領域8B及びサリサイド層8Cからなる接続部8と、表面にサリサイド層が形成されていない抵抗部11とを有する抵抗素子Rpが完成する。

【0067】サリサイド層の形成に寄与しない余分なチタン膜、窒化チタン膜は例えばSHによりエッチングされ除去される。

【0068】(17) 図10(O)に示すように、抵抗素子形成領域RAにおいて、サリサイド防止マスク9Mを除去する。サリサイド防止マスク9Mは、フォトリソグラフィ技術及びエッチング技術により除去される。

【0069】(18) 図10(P)に示すように、層間絶縁膜15、接続孔、配線16のそれぞれを順次形成する。層間絶縁膜15には例えばBPSG膜が使用され、BPSG膜はCVD法により形成される。接続孔は、フォトリソグラフィ技術で形成したマスクを使用し、RIE等の異方性エッチングにより形成される。配線16には例えばアルミニウム合金膜を主体とした複合膜が使用され、この複合膜はスパッタ法で堆積された後にパターンニングされる。

【0070】(19) 前述の図1に示すように、配線16上に保護膜17を形成することにより、本実施の形態に係る半導体集積回路30が完成する。

【0071】このように構成される半導体集積回路30においては、半導体領域(半導体、詳細には単結晶珪素)7Bとそれよりもシート抵抗値が小さいサリサイド層7Cとで動作領域7が形成でき、さらに多結晶珪素膜(半導体)6Aとそれよりもシート抵抗値が小さいサリサイド層6Bとでゲート電極6が形成できるので、nチャネルMISFETTrnにおいて回路動作信号の信号伝達速度が向上でき、回路動作速度の高速化が実現できる。同様に、半導体領域8Bとそれよりもシート抵抗値が小さいサリサイド層8Cとで動作領域8が形成でき、さらに多結晶珪素膜6Aとそれよりもシート抵抗値が小さいサリサイド層6Bとでゲート電極6が形成できるので、pチャネルMISFETTrpにおいて回路動作信号の信号伝達速度が向上でき、回路動作速度の高速化が実現できる。この効果に加えて、サリサイド層が形成されない抵抗部(半導体)10又は11で抵抗素子Rn又はRpが構築でき、抵抗素子Rn又はRpの抵抗値を高く設定しても抵抗素子Rn又はRpの占有面積が減少できる。従って、半導体集積回路30の集積化が実現できる。

【0072】さらに、半導体集積回路30の製造方法に

においては、nチャネルMISFET  $T_{rn}$  の動作領域7（又はpチャネルMISFET  $T_{rp}$  の動作領域8）とゲート電極6との間のサリサイド層の形成を防止する（双方の間の短絡を防止する）サイドウォールスペーサ（サリサイド防止マスク）9Sを形成する工程を利用して抵抗素子 $R_n$ 又は $R_p$ の抵抗部10又は11上にサリサイド防止マスク9Mが形成できる。サリサイド防止マスク9Mを別途独立に形成する工程が省略できるので、半導体集積回路30の製造工程数が削減できる。

【0073】さらに、半導体集積回路30の製造方法においては、nチャネルMISFET  $T_{rn}$  又はpチャネルMISFET  $T_{rp}$  にLDD構造が採用され、LDD構造を形成するサイドウォールスペーサ9Sを形成する工程が基本的に製造プロセスに組み込まれているので、サイドウォールスペーサ9Sを形成する工程を利用してサリサイド防止マスク9Mが形成できる。従って、サイドウォールスペーサ9Sを形成する製造マスクにサリサイド防止マスク9Mのパターンを追加するだけで、別途独立にマスクを形成する必要がなくなるので、半導体集積回路30の製造工程数が大幅に削減できる。

【0074】（第2の実施の形態）前述の第1の実施の形態に係る半導体集積回路30は抵抗素子形成領域RAにおいてサリサイド防止マスク9Mは残存させていたが、本実施の形態に係る半導体集積回路30はサリサイド防止マスク9Mをそのまま残存させる。

【0075】＜半導体集積回路の断面構成＞図11は本発明の第2の実施の形態に係る半導体集積回路30の要部縦断面構造図ある。図11に示すように、本実施の形態に係る半導体集積回路30は抵抗素子形成領域RAにおいて抵抗素子 $R_n$ の抵抗部10上、抵抗素子 $R_p$ の抵抗部11上にはサリサイド防止マスク9Mを残存させる。

【0076】＜半導体集積回路の製造方法＞次に、半導体集積回路30の製造方法について説明する。図12

（A）及び図12（B）は製造方法を各製造工程毎に説明するための半導体集積回路30の工程縦断面構造図である。

【0077】（1）前述の第1の実施の形態に係る半導体集積回路30の製造方法において図9（N）に示す工程と同様に、図12（A）に示すように、サリサイド化処理を行い、トランジスタ形成領域TRAにサリサイド層7C、8C及び6Bを形成するとともに、抵抗素子形成領域RAにサリサイド層7C及び8Cを形成する。すなわち、トランジスタ形成領域TRAにおいては、サリサイド層7Cを含む動作領域7及びサリサイド層6Bを含むゲート電極6が形成され、nチャネルMISFET  $T_{rn}$  が完成する。同様に、サリサイド層8Cを含む動作領域8及びサリサイド層6Bを含むゲート電極6が形成され、pチャネルMISFET  $T_{rp}$  が完成する。抵抗素子形成領域RAにおいては、サリサイド層7Cを含む接続部7

及び抵抗部10を有する抵抗素子 $R_n$ が、サリサイド層8Cを含む接続部8及び抵抗部11を有する抵抗素子 $R_p$ がそれぞれ完成する。

【0078】トランジスタ形成領域TRAにおいて、動作領域7のサリサイド層7Cとゲート電極6のサリサイド層6Bとの間、動作領域8のサリサイド層8Cとゲート電極6のサリサイド層6Bとの間のそれぞれの短絡防止にはサイドウォールスペーサ9Sが使用される。抵抗素子形成領域RAにおいて抵抗部10、11のそれぞれの表面上へのサリサイド層の形成防止にはサリサイド防止マスク9Mが形成される。

【0079】（2）図12（B）に示すように、前述の抵抗素子形成領域RAに形成されているサリサイド防止マスク9Mはそのまま残存させた状態で、層間絶縁膜15、接続孔、配線16のそれぞれを順次形成する。

【0080】（3）この後、前述の図11に示す保護膜17を形成することにより、本実施の形態に係る半導体集積回路30は完成する。

【0081】このような半導体集積回路30の製造方法においては、抵抗素子形成領域RAに形成されたサリサイド防止マスク9Mを除去する工程が省略できるので、製造工程数が削減できる。

【0082】（第3の実施の形態）本実施の形態は、半導体集積回路30において、MISFET  $T_r$  の動作領域の半導体領域を形成する工程を利用して抵抗素子 $R$ の抵抗部を形成する場合を説明する。さらに、本実施の形態は、MISFET  $T_r$  のゲート絶縁膜5を形成する工程を利用して抵抗素子 $R$ の抵抗部表面上にサリサイド防止マスクを形成する場合を説明する。

【0083】＜半導体集積回路の断面構成＞図13は本発明の第3の実施の形態に係る半導体集積回路30の要部縦断面構造図ある。図13に示すように、本実施の形態に係る半導体集積回路30において、抵抗素子形成領域RAの抵抗素子 $R_n$ は高不純物濃度に設定されたn型半導体領域を主体とした抵抗部7Bを備える。抵抗部7Bは、トランジスタ形成領域TRAのnチャネルMISFET  $T_{rn}$  の動作領域7を構築する半導体領域7Bと実質的に同一構造（製造プロセス的には同一製造工程）で形成される。同様に、抵抗素子 $R_p$ は高不純物濃度に設定されたp型半導体領域を主体とした抵抗部8Bを備える。抵抗部8Bは、pチャネルMISFET  $T_{rp}$  の動作領域8を構築する半導体領域8Bと実質的に同一構造（製造プロセス的には同一製造工程）で形成される。

【0084】抵抗素子 $R_n$ の抵抗部7B表面上、抵抗素子 $R_p$ の抵抗部8B表面上にはいずれもサリサイド層が形成されない。このサリサイド層の形成防止にはサリサイド防止マスク5Mが使用される。サリサイド防止マスク5Mは、nチャネルMISFET  $T_{rn}$ 、pチャネルMISFET  $T_{rp}$  のそれぞれのゲート絶縁膜5と同一構造（製造プロセス的には同一製造工程）で形成される。

【0085】＜半導体集積回路の製造方法＞次に、半導体集積回路30の製造方法について説明する。図14

(A)乃至図16(F)は製造方法を各製造工程毎に説明するための半導体集積回路30の工程縦断面構造図である。

【0086】(1) 前述の第1の実施の形態に係る半導体集積回路30の製造方法において図5(E)に示す工程と同様に半導体基板1表面上の全域にゲート絶縁膜5を形成する。このゲート絶縁膜5はトランジスタ形成領域TrAにおいてMISFETのゲート絶縁膜5として形成され、抵抗素子形成領域RAにおいては後工程でサリサイド防止マスク5Mとして使用される。

【0087】(2) 前述の図5(F)及び図6(G)に示すように、トランジスタ形成領域TrAにおいてゲート電極6を構築する多結晶珪素膜6Aをゲート絶縁膜5表面上に形成する。

【0088】(3) 図14(A)に示すように、LDD構造を採用するMISFETを構築するために、トランジスタ形成領域TrAにおいてp型ウェル領域3表面部分に低不純物濃度のn型半導体領域7Aを形成し、n型ウェル領域4表面部分に低不純物濃度のp型半導体領域8Aを形成する。n型半導体領域7Aは、例えばイオン打込み法により $10^{14}$ atoms/cm<sup>2</sup>程度の不純物濃度で砒素を注入することにより形成される。同様に、p型半導体領域8Aは、例えばイオン打込み法により $10^{14}$ atoms/cm<sup>2</sup>程度の不純物濃度で硼素を注入することにより形成される。

【0089】このとき、半導体領域7Aを形成する工程と同一工程において、抵抗素子形成領域RAのp型ウェル領域3表面部分に低不純物濃度のn型半導体領域7Aを形成し、n型ウェル領域4表面部分に低不純物濃度のp型半導体領域8Aを形成する。半導体領域7Aは抵抗素子Rnの抵抗部7Bを構築し、半導体領域8Aは抵抗素子Rpの抵抗部8Bを構築する。

【0090】(4) 図14(B)に示すように、半導体基板1全面に酸化珪素膜(符号は付けない。)、窒化珪素膜9のそれぞれを順次形成する。窒化珪素膜9は、LD構造を採用するMISFETのサイドウォールスペーサ(及びサリサイド防止マスク)9Sを形成するために形成され、例えばスパッタ法で堆積される。

【0091】(5) 図15(C)に示すように、半導体基板1全面にRIE等の異方性エッチングを行い、窒化珪素膜9をパターンニングし、トランジスタ形成領域TrAにおいてサイドウォールスペーサ9Sを形成する。サイドウォールスペーサ9Sはゲート電極6を構築する多結晶珪素膜6Aの側壁にこの多結晶珪素膜6Aに対して自己整合で形成される。サイドウォールスペーサ9Sは、ソース領域とゲート電極との間並びにドレイン領域とゲート電極との間にサリサイド層が形成されることを防止するサリサイド防止マスク(9M)として兼用される。

【0092】(6) 図15(D)に示すように、トラン

ジスタ形成領域TrAのnチャネルMISFETTrn形成領域においてウェル領域3表面部分に高不純物濃度のn型半導体領域7Bを形成し、引き続きpチャネルMISFETTrp形成領域においてウェル領域4表面部分に高不純物濃度のp型半導体領域8Bを形成する。さらに、前述の半導体領域7Bを形成する工程と同一製造工程で、抵抗素子形成領域RAの抵抗素子Rn形成領域において高不純物濃度のn型半導体領域7Bを形成し、半導体領域8Bを形成する工程と同一製造工程で、抵抗素子Rp形成領域において高不純物濃度のp型半導体領域8Bを形成する。半導体領域7Bは抵抗素子Rnの接続部7を構築しかつ抵抗部7Bを構築する。半導体領域8Bは抵抗素子Rpの接続部8を構築し抵抗部7Bを構築する。

【0093】トランジスタ形成領域TrAにおいて半導体領域7B、8Bのそれぞれはサイドウォールスペーサ(サリサイド防止マスク)9Sを不純物注入マスクとして使用し形成される。半導体領域7BはnチャネルMISFETTrnのソース領域又はドレイン領域を構築する。半導体領域8BはpチャネルMISFETTrpのソース領域又はドレイン領域として使用される。抵抗素子形成領域RAにおいて半導体領域7Bは抵抗素子Rnの全域に形成され、半導体領域8Bは抵抗素子Rpの全域に形成される。

【0094】半導体領域7Bは、イオン打込み法により $1 \times 10^{15} \sim 5 \times 10^{15}$ atoms/cm<sup>2</sup>程度の不純物濃度で砒素を注入することにより形成される。半導体領域8Bは、イオン打込み法により $1 \times 10^{15} \sim 5 \times 10^{15}$ atoms/cm<sup>2</sup>程度の不純物濃度でフッ化硼素(BF<sub>3</sub>)を注入することにより形成される。注入された砒素、フッ化硼素はそれぞれ熱処理により活性化される。この熱処理は900~1000℃程度の高温で行われる。

【0095】半導体領域7Bを形成する工程が終了した時点で、サリサイド化前におけるnチャネルMISFETTrn、抵抗素子Rnのそれぞれが完成する。同様に、半導体領域8Bを形成する工程が終了した時点で、サリサイド化前におけるpチャネルMISFETTrp、抵抗素子Rpのそれぞれが完成する。

【0096】(7) 次に、サリサイド化処理を行う。まず、図16(E)に示すように、MISFETのソース領域、ドレイン領域、ゲート電極に相当する半導体領域7B、8B、多結晶珪素膜6Aのそれぞれの表面上のゲート絶縁膜5を除去し、各サリサイド化を行う表面を露出させる。

【0097】さらに、抵抗素子形成領域RAにおいては、抵抗素子Rnの接続部7を構築する半導体領域7B表面上、抵抗素子Rpの接続部8を構築する半導体領域8B表面上のゲート絶縁膜5を除去し各サリサイド化を行う表面を露出させるとともに、抵抗部7B表面上のゲート絶縁膜5、抵抗部8B表面上のゲート絶縁膜5のそれぞれによりサリサイド防止マスク5Mを形成する。

【0098】トランジスタ形成領域T r Aにおけるゲート絶縁膜5の除去、抵抗素子形成領域R Aにおけるゲート絶縁膜5の除去、並びにサリサイド防止マスク5 Mの形成は、例えばNH<sub>4</sub>Fにより行われ、同一工程で行われる。抵抗素子形成領域R Aにおけるゲート絶縁膜5の除去並びにサリサイド防止マスク5 Mの形成には、同図16 (E) に示すエッチングマスク5 Pが使用される。エッチングマスク5 Pには例えばフォトリソグラフィ技術で形成されたレジストマスクが使用される。エッチングマスク5 Pはゲート絶縁膜5の除去並びにサリサイド防止マスク5 Mの形成が終了した後に除去される。

【0099】(8) 図16 (F) に示すように、トランジスタ形成領域T r Aにおいて、nチャネルMISFET T r nの半導体領域7 B表面上にサリサイド層7 C、多結晶珪素膜6 A表面上にサリサイド層6 B、pチャネルMISFET T r pの半導体領域8 B表面上にサリサイド層8 C、多結晶珪素膜6 A表面上にサリサイド層6 Bのそれぞれを形成する。サリサイド層7 C、8 Cのそれぞれとサリサイド層6 Bとの間はサイドウォールスペース9 Sがサリサイド防止マスクとして機能するので短絡しない。さらに、抵抗素子形成領域R Aにおいて、抵抗素子R nの接続部7の半導体領域7 B表面上にサリサイド層7 C、抵抗素子R pの接続部8の半導体領域8 B表面上に半導体領域8 Cのそれぞれを形成する。抵抗素子R nの抵抗部7 B、抵抗素子R pの抵抗部8 Bにおいては、それぞれの表面上にサリサイド防止マスク5 Mが形成されているので、サリサイド層は形成されない。前述のサリサイド層7 C、6 B、8 Cはいずれも同一製造工程で形成される。このサリサイド層7 C、6 B、8 Cの形成方法は、前述の第1の実施の形態に係る半導体集積回路30の製造方法において説明したので、この実施の形態での説明は省略する。

【0100】サリサイド層7 C及び6 Bの形成により、半導体領域7 A、7 B及びサリサイド層7 Cからなる動作領域7と、多結晶珪素膜6 A及びサリサイド層6 Bからなるゲート電極6とを有するnチャネルMISFET T r nが完成する。同様に、サリサイド層8 C及び6 Bの形成により、半導体領域8 A、8 B及びサリサイド層8 Cからなる動作領域8と、多結晶珪素膜6 A及びサリサイド層6 Bからなるゲート電極6とを有するpチャネルMISFET T r pが完成する。さらに、サリサイド層7 Cの形成により、半導体領域7 B及びサリサイド層7 Cからなる接続部7と、表面にサリサイド層が形成されていない抵抗部7 Bとを有する抵抗素子R nが完成する。同様に、サリサイド層8 Cの形成により、半導体領域8 B及びサリサイド層8 Cからなる接続部8と、表面にサリサイド層が形成されていない抵抗部8 Bとを有する抵抗素子R pが完成する。

【0101】(9) 前述の第1の実施の形態に係る半導体集積回路30の製造方法において図10 (P) に示す

工程と同様に、層間絶縁膜15、接続孔、配線16のそれぞれを順次形成する。

【0102】(10) そして、前述の図13に示すように、配線16上に保護膜17を形成することにより、本実施の形態に係る半導体集積回路30が完成する。

【0103】このような半導体集積回路30の製造方法においては、nチャネルMISFET T r nの動作領域7の半導体領域7 B (及び半導体領域7 A) を形成する工程を利用して抵抗素子R nの抵抗部7 Bが形成できるので、製造工程数が削減できる。同様に、pチャネルMISFET T r pの動作領域8の半導体領域8 B (及び半導体領域8 A) を形成する工程を利用して抵抗素子R pの抵抗部8 Bが形成できるので、製造工程数が削減できる。従って、前述の第1の実施の形態に係る半導体集積回路30で得られる効果に加えて、より一層製造工程数が削減できる。

【0104】さらに、nチャネルMISFET T r n、pチャネルMISFET T r pのそれぞれのゲート絶縁膜5を形成する工程でサリサイド防止マスク5 Mが形成できるので、このサリサイド防止マスク5 Mを別途独立に形成する場合に比べて、半導体集積回路30の製造工程数が削減できる。

【0105】(第4の実施の形態) 本実施の形態は、半導体集積回路30に搭載された抵抗素子Rを多結晶珪素膜で形成する場合を説明する。

【0106】<半導体集積回路の断面構成>図17は本発明の第4の実施の形態に係る半導体集積回路30の要部縦断面構造図ある。図17に示すように、本実施の形態に係る半導体集積回路30において、抵抗素子形成領域R Aの抵抗素子Rは、素子分離領域2上に配設され、抵抗部6 Aと、その一端側及び他端側にそれぞれ電氣的に接続された接続部6とを備え構築される。

【0107】抵抗部6 Aは多結晶珪素膜で形成され、この多結晶珪素膜はトランジスタ形成領域T r AのnチャネルMISFET T r n又はpチャネルMISFET T r pのゲート電極6を構築する多結晶珪素膜6 Aと実質的に同一構造(製造プロセス的には同一製造工程)で形成される。抵抗部6 A表面上にはサリサイド防止マスク9 Mが形成されており、サリサイド層は形成されない。

【0108】接続部6は多結晶珪素膜6 A及びその表面上に形成されたサリサイド層6 Bで形成される。すなわち、この接続部6の構造はnチャネルMISFET T r n又はpチャネルMISFET T r pのゲート電極6と実質的に同一構造(製造プロセス的には同一製造工程)で形成される。接続部6には配線16が電氣的に接続される。

【0109】<半導体集積回路の製造方法>次に、半導体集積回路30の製造方法について説明する。図18

(A) 乃至図20 (F) は製造方法を各製造工程毎に説明するための半導体集積回路30の工程縦断面構造図である。

【0110】(1) 前述の第1の実施の形態に係る半導体集積回路30の製造方法において図5(E)に示す工程と同様に半導体基板1表面上の全域にゲート絶縁膜5を形成する。そして、図5(F)及び図6(G)に示すように、トランジスタ形成領域TrAにおいてゲート電極6を構築する多結晶珪素膜6Aをゲート絶縁膜5表面上に形成する。このとき、抵抗素子形成領域RAにおいては、ゲート電極6を構築する多結晶珪素膜6Aと同一製造工程で抵抗素子Rを形成する多結晶珪素膜6Aを形成する(図18(A)参照)。

【0111】(2) 図18(A)に示すように、LDD構造を採用するMISFETを構築するために、トランジスタ形成領域TrAにおいてp型ウエル領域3表面部分に低不純物濃度のn型半導体領域7Aを形成し、n型ウエル領域4表面部分に低不純物濃度のp型半導体領域8Aを形成する。n型半導体領域7Aは、例えばイオン打込み法により $10^{14}$ atoms/cm<sup>2</sup>程度の不純物濃度で砒素を注入することにより形成される。同様に、p型半導体領域8Aは、例えばイオン打込み法により $10^{14}$ atoms/cm<sup>2</sup>程度の不純物濃度で硼素を注入することにより形成される。

【0112】(3) 図18(B)に示すように、抵抗素子形成領域RAにおいて、多結晶珪素膜6Aに抵抗値を設定する不純物を注入し、抵抗素子Rの抵抗部6Aを形成する。不純物の注入においてはトランジスタ形成領域TrAがマスク6Pで覆われ、イオン打込み法により抵抗素子形成領域RAの多結晶珪素膜6Aにのみ選択的に不純物が注入される。マスク6Pには例えばフォトリソグラフィ技術で形成されたレジストマスクが使用され、不純物には例えば砒素が使用される。

【0113】(4) 図19(C)に示すように、半導体基板1全面に酸化珪素膜(符号は付けない)、窒化珪素膜9のそれぞれを順次形成する。窒化珪素膜9は、LDD構造を採用するMISFETのサイドウォールスペーサ(及びサリサイド防止マスク)9Sを形成するために形成され、例えばスパッタ法で堆積される。さらに、窒化珪素膜9は、抵抗素子Rの抵抗部6A表面上にサリサイド層を形成しないためのサリサイド防止マスク9Mを形成するために形成される。

【0114】(5) 図19(D)に示すように、半導体基板1全面にRIE等の異方性エッチングを行い、窒化珪素膜9をパターンニングし、トランジスタ形成領域TrAにおいてサイドウォールスペーサ9Sを形成する。サイドウォールスペーサ9Sはゲート電極6を構築する多結晶珪素膜6Aの側壁にこの多結晶珪素膜6Aに対して自己整合で形成される。サイドウォールスペーサ9Sは、ソース領域とゲート電極との間並びにドレイン領域とゲート電極との間にサリサイド層が形成されることを防止するサリサイド防止マスク(9M)として兼用される。

【0115】さらに、抵抗素子形成領域RAにおいて

は、窒化珪素膜9によりサリサイド防止マスク9Mが形成される。このサリサイド防止マスク9Mはその表面上に形成されたエッチングマスク9Pによりパターンニングされる。

【0116】(6) 図20(E)に示すように、トランジスタ形成領域TrAのnチャネルMISFETTrn形成領域においてウエル領域3表面部分に高不純物濃度のn型半導体領域7Bを形成し、引き続きpチャネルMISFETTrp形成領域においてウエル領域4表面部分に高不純物濃度のp型半導体領域8Bを形成する。さらに、必要に応じて前述の半導体領域7Bを形成する工程と同一製造工程で、抵抗素子形成領域RAにおいて抵抗素子Rの接続部6に高不純物濃度のn型半導体領域7B(又はp型半導体領域8B)を形成してもよい。

【0117】トランジスタ形成領域TrAにおいて半導体領域7B、8Bのそれぞれはサイドウォールスペーサ(サリサイド防止マスク)9Sを不純物導入マスクとして使用し形成される。半導体領域7BはnチャネルMISFETTrnのソース領域又はドレイン領域を構築する。半導体領域8BはpチャネルMISFETTrpのソース領域又はドレイン領域として使用される。

【0118】半導体領域7Bを形成する工程が終了した時点で、サリサイド化前におけるnチャネルMISFETTrn、抵抗素子Rnのそれぞれが完成する。同様に、半導体領域8Bを形成する工程が終了した時点で、サリサイド化前におけるpチャネルMISFETTrp、抵抗素子Rのそれぞれが完成する。

【0119】(7) 次に、サリサイド化処理を行う。まず、前述の第1の実施の形態に係る半導体集積回路30の製造方法において図9(M)に示す工程と同様に、MISFETのソース領域、ドレイン領域、ゲート電極に相当する半導体領域7B、8B、多結晶珪素膜6Aのそれぞれの表面上のゲート絶縁膜5を除去し、各サリサイド化を行う表面を露出させる。

【0120】さらに、抵抗素子形成領域RAにおいては、抵抗素子Rの接続部6を構築する多結晶珪素膜6A表面上の酸化珪素膜を除去しサリサイド化を行う表面を露出させる。

【0121】トランジスタ形成領域TrAにおけるゲート絶縁膜5の除去並びに抵抗素子形成領域RAにおける酸化珪素膜の除去は、例えばNH<sub>4</sub>Fにより行われ、同一工程で行われる。

【0122】(8) 図20(F)に示すように、トランジスタ形成領域TrAにおいて、nチャネルMISFETTrnの半導体領域7B表面上にサリサイド層7C、多結晶珪素膜6A表面上にサリサイド層6B、pチャネルMISFETTrpの半導体領域8B表面上にサリサイド層8C、多結晶珪素膜6A表面上にサリサイド層6Bのそれぞれを形成する。サリサイド層7C、8Cのそれぞれとサリサイド層6Bとの間はサイドウォールスペーサ9Sがサ



リサイド防止マスクとして機能するので短絡しない。さらに、抵抗素子形成領域RAにおいて、抵抗素子Rの接続部6の多結晶珪素膜6A表面上にサリサイド層6Bを形成する。抵抗素子Rの抵抗部6A表面上にはサリサイド防止マスク9Mが形成されているので、サリサイド層は形成されない。前述のサリサイド層7C、6B、8Cはいずれも同一製造工程で形成される。このサリサイド層7C、6B、8Cの形成方法は、前述の第1の実施の形態に係る半導体集積回路30の製造方法において説明したので、この実施の形態での説明は省略する。

【0123】サリサイド層7C及び6Bの形成により、半導体領域7A、7B及びサリサイド層7Cからなる動作領域7と、多結晶珪素膜6A及びサリサイド層6Bからなるゲート電極6とを有するnチャネルMISFETTrnが完成する。同様に、サリサイド層8C及び6Bの形成により、半導体領域8A、8B及びサリサイド層8Cからなる動作領域8と、多結晶珪素膜6A及びサリサイド層6Bからなるゲート電極6とを有するpチャネルMISFETTrpが完成する。さらに、サリサイド層6Bの形成により、多結晶珪素膜6A及びサリサイド層6Bからなる接続部6と、表面にサリサイド層が形成されていない抵抗部6Aとを有する抵抗素子Rが完成する。

【0124】(9) 前述の第1の実施の形態に係る半導体集積回路30の製造方法において図10(P)に示す工程と同様に、層間絶縁膜15、接続孔、配線16のそれぞれを順次形成する。

【0125】(10)そして、前述の図17に示すように、配線16上に保護膜17を形成することにより、本実施の形態に係る半導体集積回路30が完成する。

【0126】このような半導体集積回路30の製造方法においては、nチャネルMISFETTrn(又はpチャネルMISFETTrp)のゲート電極6の多結晶珪素膜6Aを形成する工程を利用して抵抗素子Rの抵抗部6Aが形成でき、ゲート電極6の多結晶珪素膜6A及びサリサイド層6Bを形成する工程を利用して抵抗素子Rの接続部6が形成できるので、製造工程数が削減できる。従って、前述の第1の実施の形態に係る半導体集積回路30で得られる効果に加えて、より一層製造工程数が削減できる。

【0127】なお、本発明は前述の実施の形態に限定されない。本発明は、基本的にはサリサイド構造を有するMISFETと抵抗素子とを備えていればよく、抵抗素子として例えば静電気破壊防止回路の抵抗素子にも適用できる。

【0128】

【発明の効果】本発明は、トランジスタの回路動作の高速化を実現しつつ、抵抗素子の占有面積を減少して集積化を実現できる半導体集積回路を提供できる。

【0129】さらに、本発明は、抵抗素子の抵抗長の増加に起因する信号速度の低下、消費電力の増大、抵抗値のばらつき等を防止できる半導体集積回路を提供でき

る。

【0130】さらに、本発明は、特にサリサイド技術が適用されるトランジスタと抵抗素子とが同一半導体基板に混在する半導体集積回路において上記効果が得られ

る。さらに、本発明は、アナログデジタルラダー抵抗部を構築する抵抗素子とアナログデジタルラダー抵抗部の周囲に配設された回路を構築する絶縁ゲート型電界効果トランジスタとが同一半導体基板に混在する半導体集積回路において上記効果が得られる。

【0131】さらに、本発明は、製造工程数を削減できる半導体集積回路の製造方法を提供できる。本発明は、特にMISFETにLDD構造が採用される場合に効率よく製造工程数が削減できる半導体集積回路の製造方法を提供できる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る半導体集積回路の要部縦断面構造図である。

【図2】第1の実施の形態に係る半導体集積回路のブロック回路図である。

【図3】本発明の第1の実施の形態に係る製造方法を各製造工程毎に説明するための半導体集積回路の工程縦断面構造図である(その1)。

【図4】本発明の第1の実施の形態に係る製造方法を各製造工程毎に説明するための半導体集積回路の工程縦断面構造図である(その2)。

【図5】本発明の第1の実施の形態に係る製造方法を各製造工程毎に説明するための半導体集積回路の工程縦断面構造図である(その3)。

【図6】本発明の第1の実施の形態に係る製造方法を各製造工程毎に説明するための半導体集積回路の工程縦断面構造図である(その4)。

【図7】本発明の第1の実施の形態に係る製造方法を各製造工程毎に説明するための半導体集積回路の工程縦断面構造図である(その5)。

【図8】本発明の第1の実施の形態に係る製造方法を各製造工程毎に説明するための半導体集積回路の工程縦断面構造図である(その6)。

【図9】本発明の第1の実施の形態に係る製造方法を各製造工程毎に説明するための半導体集積回路の工程縦断面構造図である(その7)。

【図10】本発明の第1の実施の形態に係る製造方法を各製造工程毎に説明するための半導体集積回路の工程縦断面構造図である(その8)。

【図11】本発明の第2の実施の形態に係る半導体集積回路の要部縦断面構造図である。

【図12】本発明の第2の実施の形態に係る製造方法を各製造工程毎に説明するための半導体集積回路の工程縦断面構造図である。

【図13】本発明の第3の実施の形態に係る半導体集積回路30の要部縦断面構造図ある。



【図14】本発明の第3の実施の形態に係る製造方法を各製造工程毎に説明するための半導体集積回路の工程縦断面構造図である（その1）。

【図15】本発明の第3の実施の形態に係る製造方法を各製造工程毎に説明するための半導体集積回路の工程縦断面構造図である（その2）。

【図16】本発明の第3の実施の形態に係る製造方法を各製造工程毎に説明するための半導体集積回路の工程縦断面構造図である（その3）。

【図17】本発明の第4の実施の形態に係る半導体集積回路30の要部縦断面構造図である。

【図18】本発明の第4の実施の形態に係る製造方法を各製造工程毎に説明するための半導体集積回路の工程縦断面構造図である（その1）。

【図19】本発明の第4の実施の形態に係る製造方法を各製造工程毎に説明するための半導体集積回路の工程縦断面構造図である（その2）。

【図20】本発明の第4の実施の形態に係る製造方法を各製造工程毎に説明するための半導体集積回路の工程縦断面構造図である（その3）。

【符号の説明】

1 半導体基板

2 素子分離領域

3, 4 ウエル領域

5 ゲート絶縁膜

5M, 9M サリサイド防止マスク

05 6 ゲート電極又は接続部

6A 多結晶珪素膜又は抵抗部

6B, 7C, 8C サリサイド層

7, 8 動作領域又は接続部

7A, 7B, 8A, 8B 半導体領域

10 9S サイドウォールスペーサ又はサリサイド防止マスク

10, 11 抵抗部

30 半導体集積回路

31 アナログデジタルコンバータ回路

15 310 アナログデジタルラダー抵抗部

311 デコーダ回路

312 アナログ信号入力回路

313 比較回路

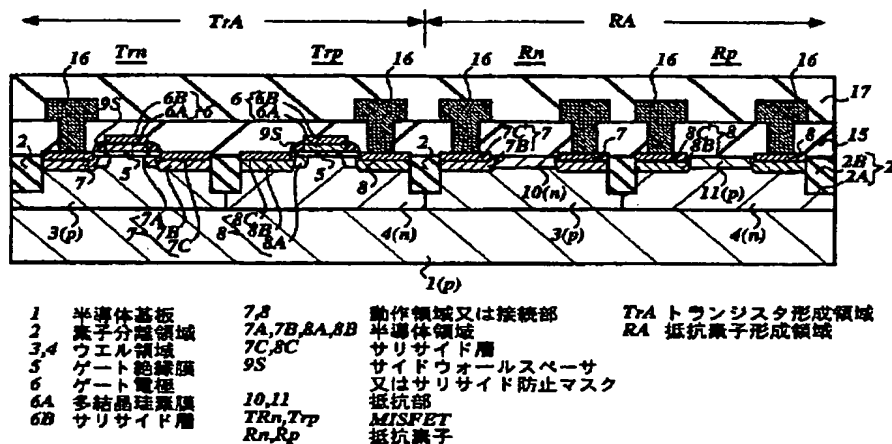
TrA トランジスタ形成領域

20 Trn, Trp MISFET

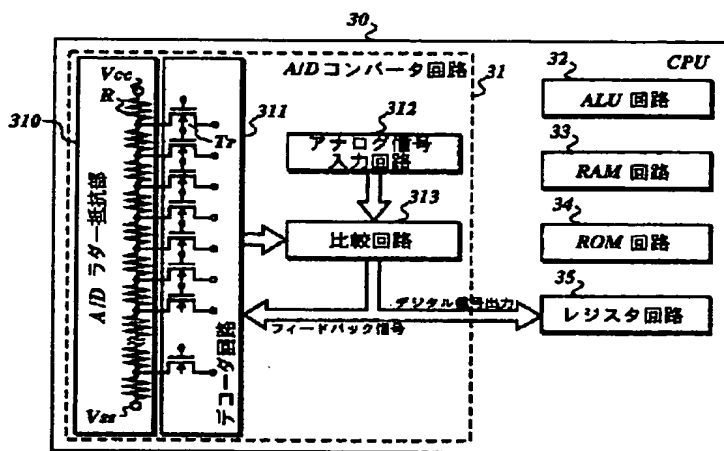
RA 抵抗素子形成領域

R, Rn, Rp 抵抗素子

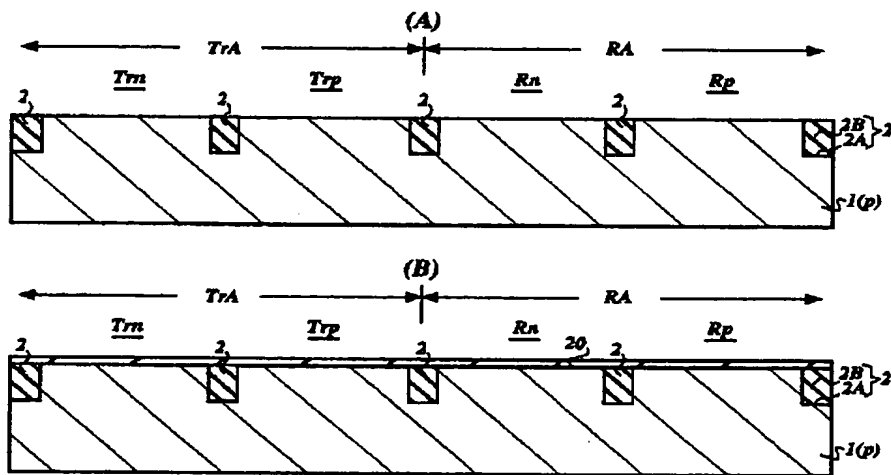
【図1】



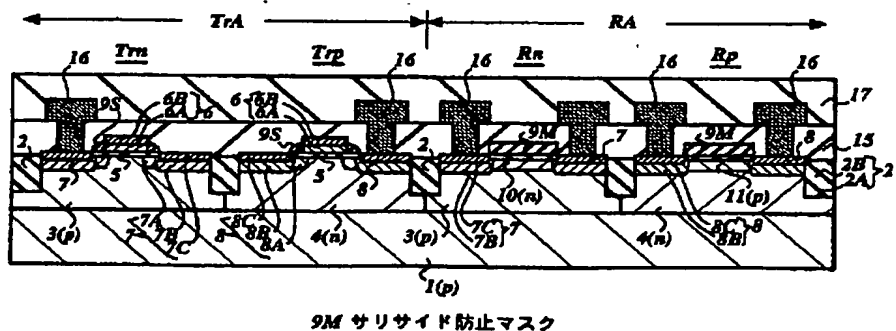
【図2】



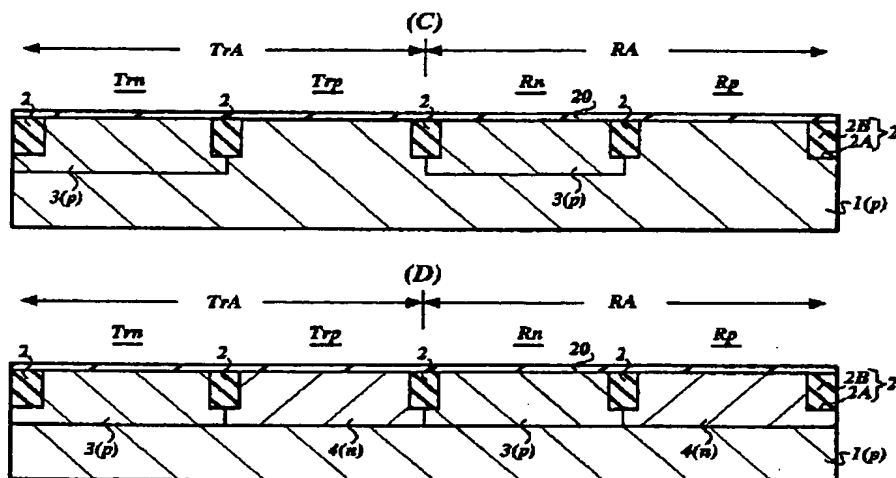
【図3】



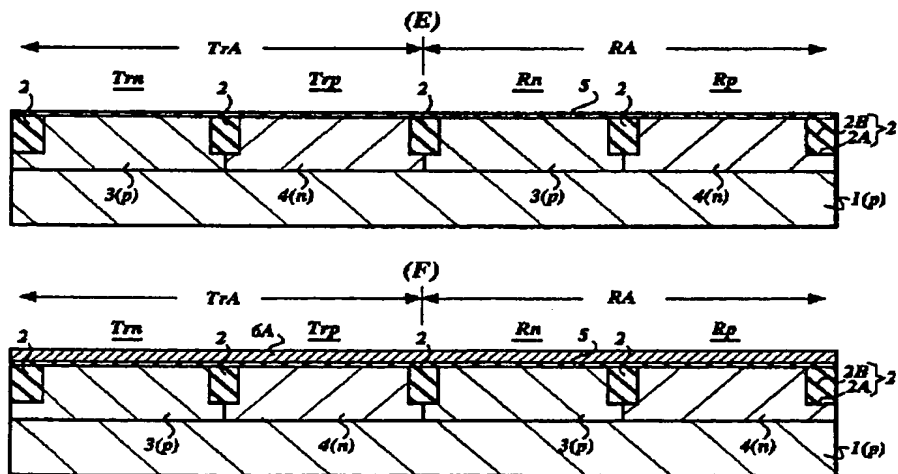
【図11】



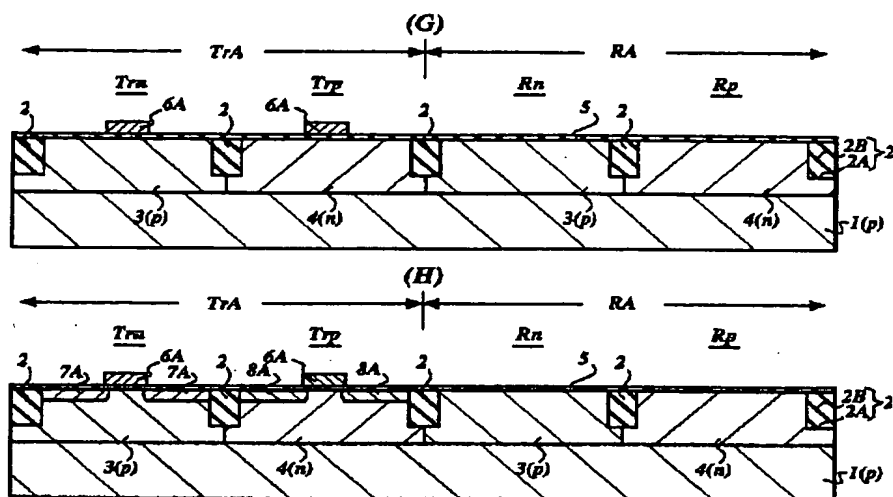
【図 4】



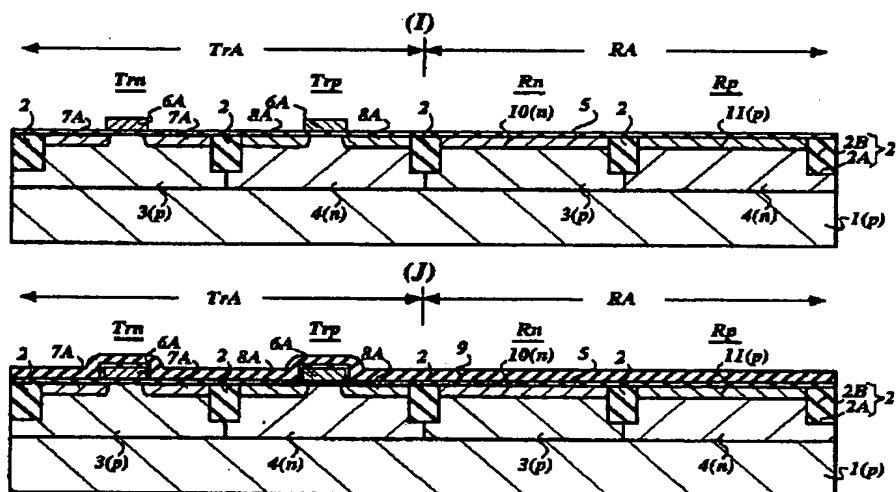
【図 5】



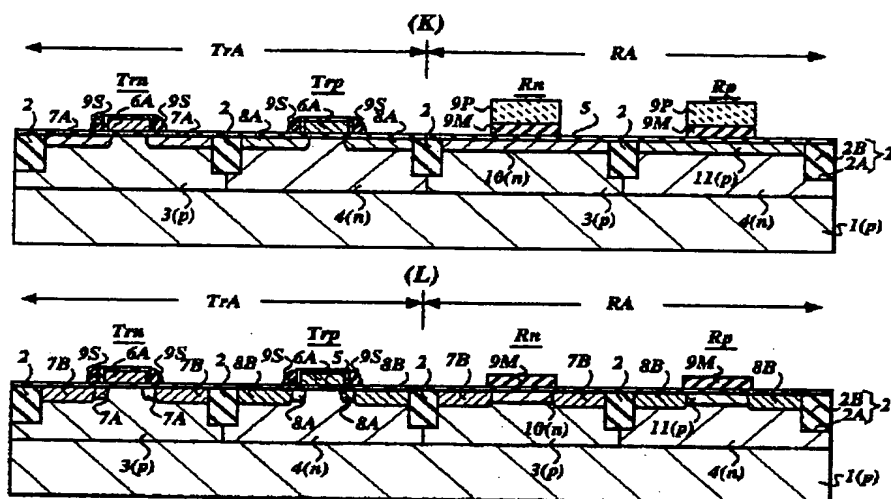
【図6】



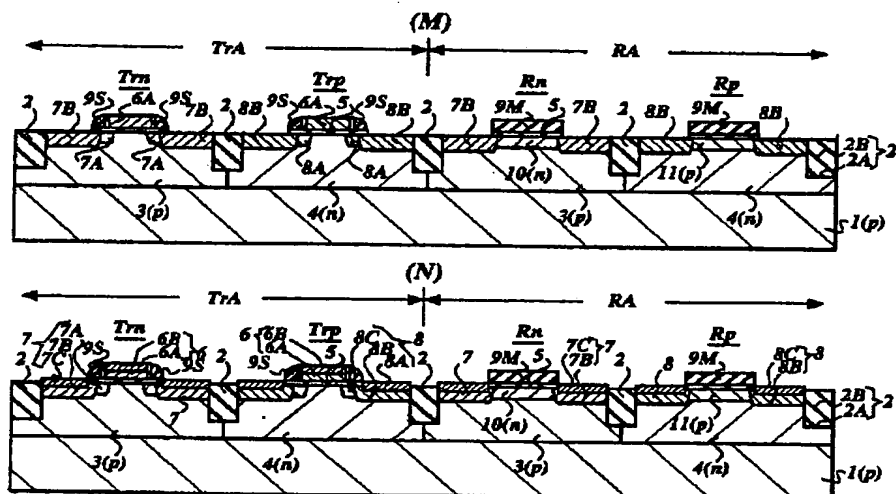
【図7】



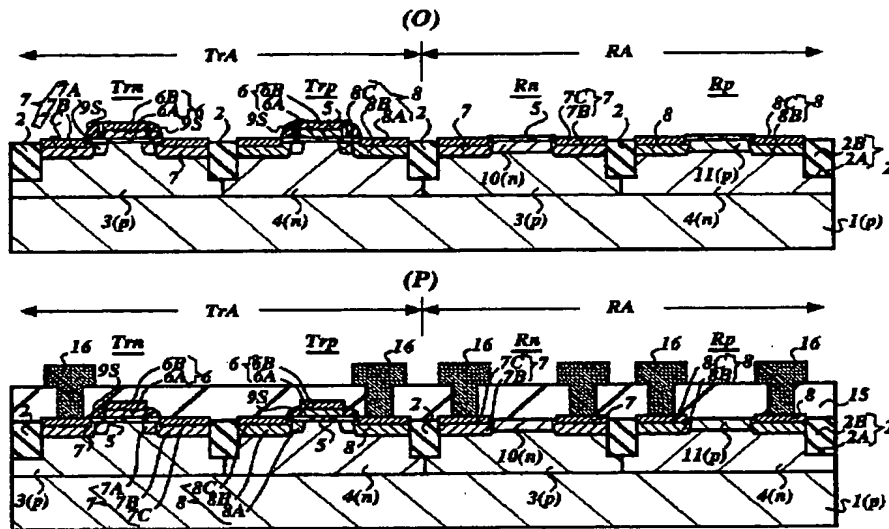
【図8】



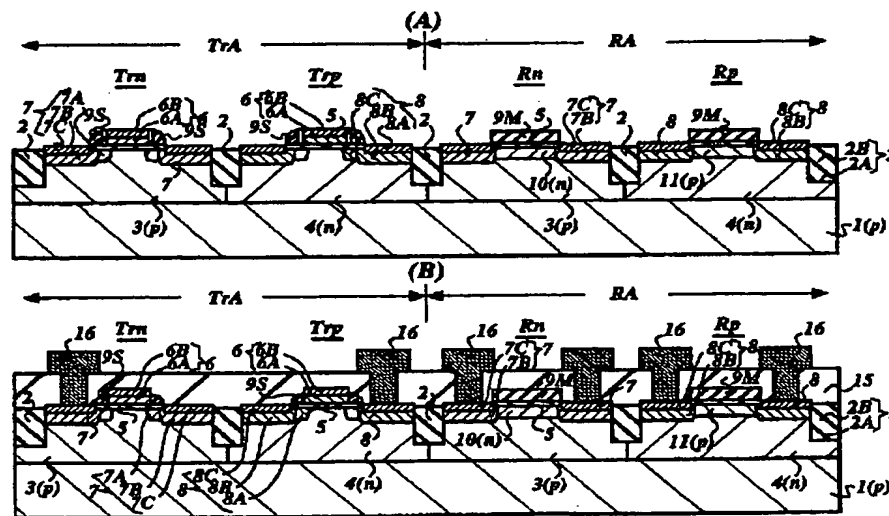
【図9】



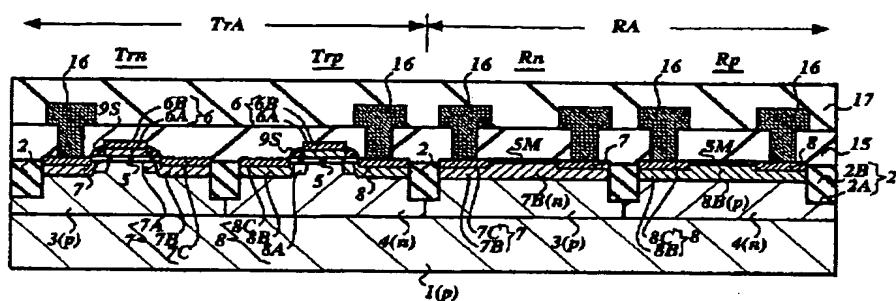
【図10】



【図12】

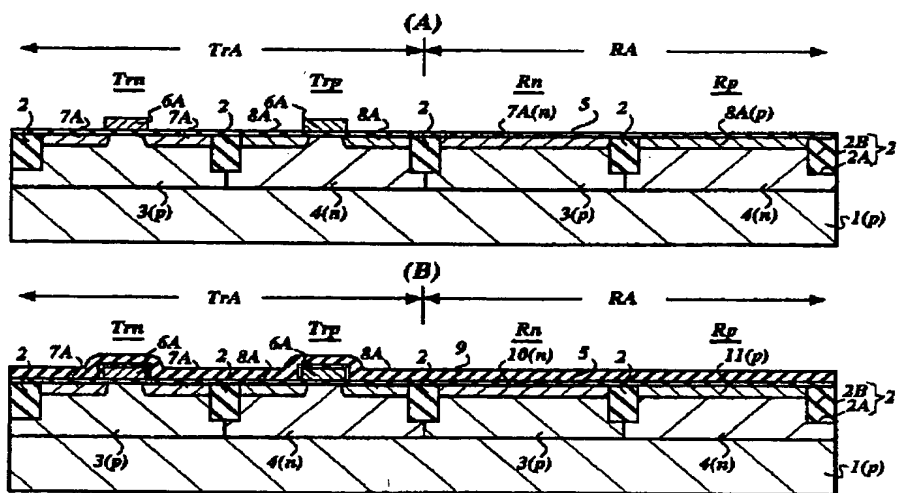


【図13】



SM サリサイド防止マスク  
7B, 8B 抵抗部

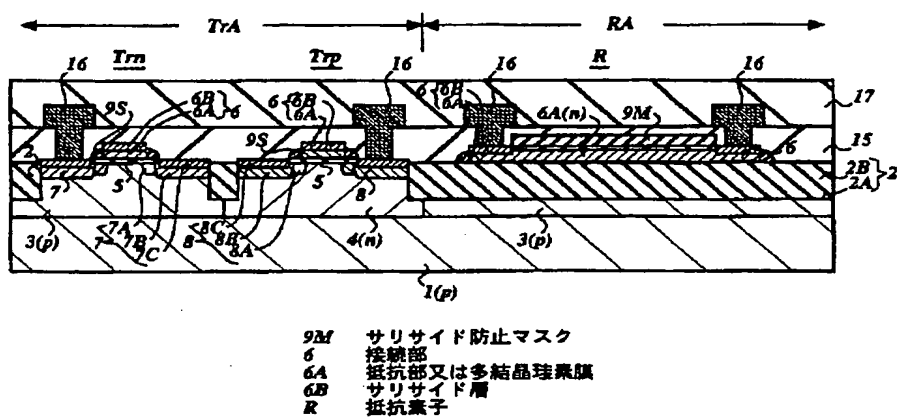
【図14】



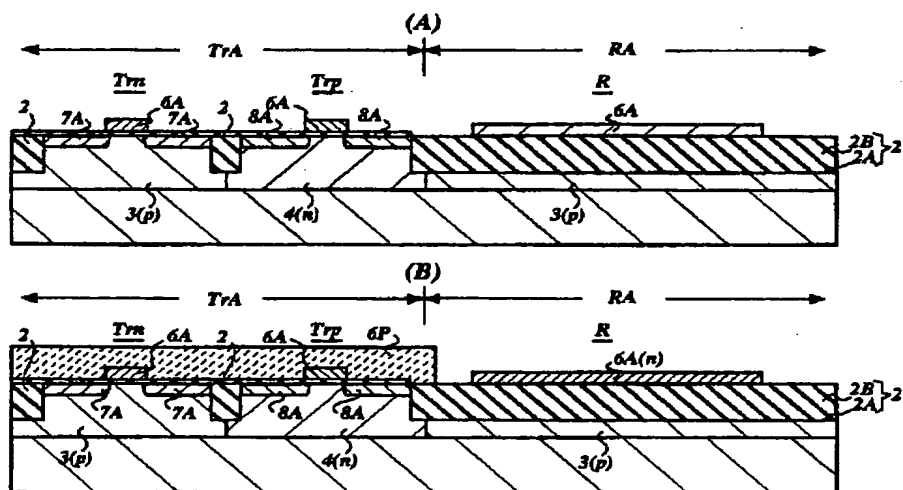




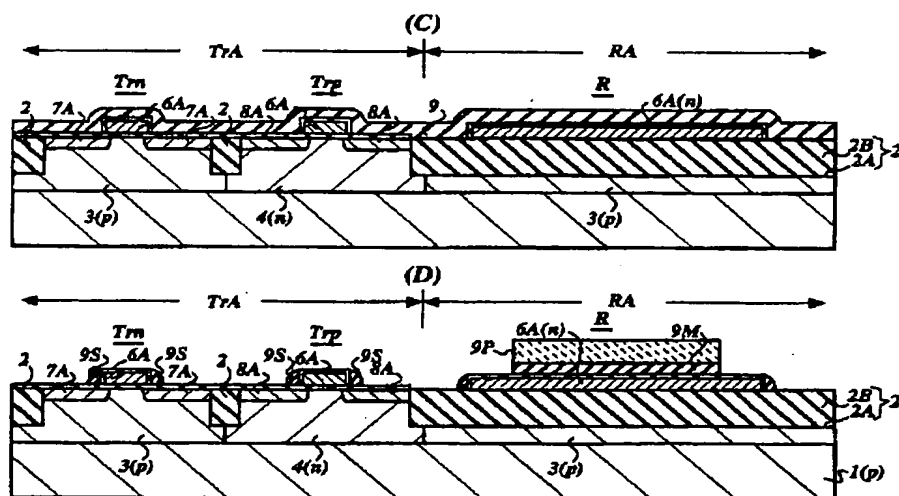
【図17】



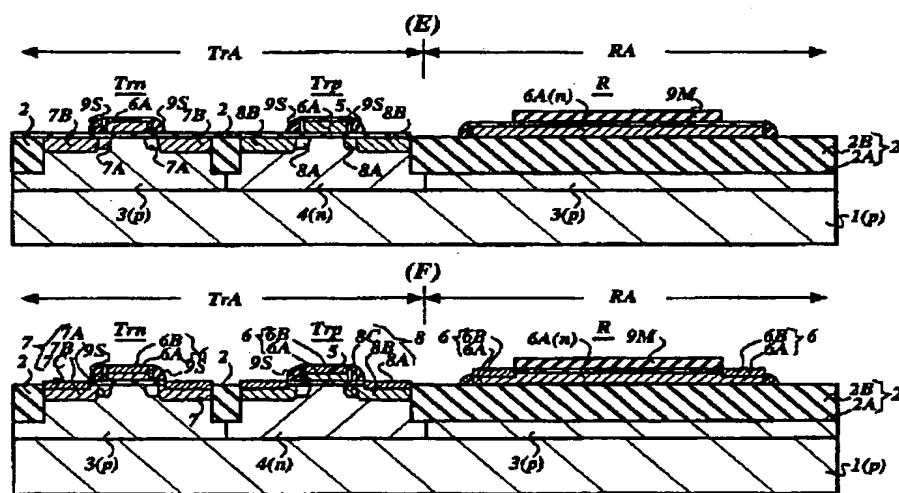
【図18】



【図19】



【図20】



フロントページの続き

Fターム(参考) 5F038 AR02 AR08 AR16 AR21 CD18  
 CD19 DF03 DF04 DF05 DF12  
 EZ13 EZ20  
 5F048 AA01 AA09 AB03 AB10 AC03  
 AC10 BA01 BB05 BB08 BC06  
 BD04 BE03 BF03 BF06 BF11  
 BG13 DA25

45

50